

# PICTURE DATA STORAGE DEVICE

Publication number: JP1229378 (A)

Publication date: 1989-09-13

Inventor(s): SUGANO HAJIME

Applicant(s): FUJITSU LTD

Classification:

- International: G06F12/00; G06T1/60; G06F12/00; G06T1/60; (IPC1-7): G06F12/00; G06F15/64

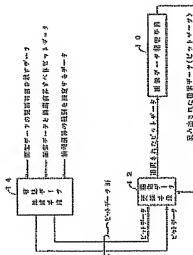
- European:

Application number: JP19880055324 19880309

Priority number(s): JP19880055324 19880309

Abstract of JP 1229378 (A)

**PURPOSE:** To reduce the number of pins of a substrate, and simultaneously, to improve operation speed by providing a picture element data storing means to record the picture element data of bit data, a picture element data updating means and a write data generating means. **CONSTITUTION:** The picture element data of the bit data is stored in the picture element data storing means 10, and one of bit data pairs inputted in the picture element data updating means 12 is selected in response to the read data of the means 10, and the picture element data of the means 10 is updated into said selected data. Next, the bit data pair by which the result of this data updating becomes the same as in the past is given to the means 12 from the write data generating means 14. Accordingly, an actual raster operation is performed at the means 10 and the means 12 side, but since the logical operation of the raster operation is not performed at those, the signal line to designate a circuit to perform the logical operation and the classification of the logical operation becomes unnecessary. Thus, the number of pins of the substrate can be reduced, and simultaneously, the operation speed can be improved.



Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報(A) 平1-229378

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月13日

G 06 F 15/64  
12/00

4 5 0  
3 0 4

A-8419-5B  
K-8841-5B

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 画像データ記憶装置

⑯ 特 願 昭63-55324

⑰ 出 願 昭63(1988)3月9日

⑱ 発 明 者 菅 野 元 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井桁 貞一 外2名

明 細 書

3. 発明の詳細な説明

1. 発明の名称

画像データ記憶装置

2. 特許請求の範囲

ビットデータの画素データを記憶する画素データ記憶手段(10)と、

入力されたビットデータ対のうちいずれかを前記画素データ記憶手段(10)から読み出された画素データに応じ選択して選択データに画素データを更新する画素データ更新手段(12)と、

画素データの更新有無を指示するデータとラスタオペレーションの論理演算用ビットデータと論理演算の種別指定用データとに基づいて前記画像データ記憶手段(10)の画素データ更新結果が該論理演算の結果となる前記ビットデータ対を生成する書込データ生成手段(14)と、

を有する、ことを特徴とする画像データ記憶装置。

【 目 次 】

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

発明の効果

【 概 要 】

ラスタオペレーションが行なわれる画像データ記憶装置に関するものであり、  
高速なラスタオペレーションが可能となる画像データ記憶装置を安価に提供することを目的とし、  
このためビットデータの画素データを記憶する画素データ記憶手段と、入力されたビットデータ対のうちいずれかを画素データ記憶手段から読み

出された画素データに応じ選択して該画素データを選択データに更新する画素データ更新手段と、画素データの更新有無を指示するデータとラスタオペレーションの論理演算用ビットデータと論理演算の種別指定用データとに基づいて画素データ記憶手段のデータ更新結果が該論理演算の結果となる前記ビットデータ対を生成する書込データ生成手段と、を有する、ことを特徴している。

#### 〔産業上の利用分野〕

本発明は、ラスタオペレーションが行なわれる画像データ記憶装置に関するものである。

マルチウィンドウ機能を利用してコンピュータの操作環境を向上できるが、そのマルチウィンドウ機能は画像データ記憶装置側でラスタオペレーションが行なわれることにより実現できる。

#### 〔従来の技術〕

第9図では従来の技術が説明されており、メモリセル20-1、20-2・・・20-32には画

素データが各々記憶される。

そしてメモリセル20-1、20-2・・・20-32から読み出された画素データ(1ビット、計32ビット)はラスタオペレーションの論理演算が行なわれるALU22-1、22-1・・・22-32とMPX24-1、24-2・・・24-32とに各々与えられ、ALU22-1、22-2・・・22-32で得られたラスタオペレーションの論理演算結果を示すビットデータ(計32ビット)はMPX24-1、24-2・・・24-32に各々与えられる。

さらにALU22-1、22-2・・・22-32にはそれで行なわれる論理演算の種別(16種類)を指定するデータ(4ビット)と論理演算に使用されるビットデータ(計32ビット)とが与えられ、ALU22-1、22-2・・・22-32では、メモリセル20-1、20-2・・・20-32から読み出された画素データと入力データとが各々論理演算される。

それらでは入力データにより指定された論理演

算が行なわれ、各論理演算の結果は対応したMPX24-1、24-2・・・24-32に与えられる。

これらMPX24-1、24-2・・・24-32には画素データの更新有無を指示するデータとしてマスクデータが各々与えられ、MPX24-1、24-2・・・24-32ではそれらのマスクデータに応じメモリセル読み出しデータ(画素データ)とALU出力データ(論理演算結果を示すデータ)とのうちいずれかが各々選択される。

そしてMPX24-1、24-2・・・24-32で選択されたビットデータはメモリセル20-1、20-2・・・20-32の対応アドレスに書き込まれ、その結果、画素データがALU出力データに更新される。

#### 〔発明が解決しようとする課題〕

ここで、ラスタオペレーションの論理演算を指定するビットデータが示されるマスクデータをA

LU22-1、22-1・・・22-32へ入力するために、複数の信号線(4ビット幅のデータバス)が必要となる。

このため第9図の回路を構成する素子を搭載した基板のピン数が増加してコンピュータの製造に要するコストが上昇し、あるいはピン数の制約から、その基板上に回路を搭載することが困難となる場合が生ずる。

またメモリセル20-1、20-2・・・20-32毎にALU22-1、22-2・・・22-32が設けられるので、ラスタオペレーションの動作速度が低下する。

このためウィンドウのオープン、クローズ速度が制限され、したがってマルチウィンドウの操作環境をより高めることが困難となる。

本発明は上記従来の課題に答えてなされたものであり、その目的は、基板のピン数削減および動作速度の向上が可能となる画像データ記憶装置を提供することにある。

## 〔課題を解決するための手段〕

上記目的を達成するために、本発明に係る画像データ記憶装置は第1図のように構成されている。

同図の画像データ記憶手段10にはビットデータの画像データが記憶される。

また画像データ更新手段12では、入力されたビットデータ対のうちいずれかが画像データ記憶手段10の読み出しデータに選択され、その画像データは選択されたデータに更新される。

そして画像データ更新手段12に入力されるビットデータ対は書込データ生成手段14で生成される。

書込データ生成手段14には画像データの更新有無を示すデータ、ラスタオペレーションの論理演算に使用すべきビットデータ、論理演算の種類を指定するデータが従来と同様に与えられ、その書込データ生成手段14では、指定された種類の論理演算が行なわれたときと同一の更新結果が画像データ記憶手段10で得られる前記ビットデータ対が、これらの入力データに基づいて生成され

る。

## 〔作用〕

本発明では、画像データ更新手段12に入力されたビットデータ対のうちいずれかが読み出しの画像データに応じて選択され、その選択データに画像データ記憶手段10の画像データが更新される。

このデータ更新の結果が従来と同様となるビットデータ対が書込データ生成手段14から画像データ更新手段12に与えられる。

したがって、実際のラスタオペレーションは画像データ記憶手段10および画像データ更新手段12側で行なわれるが、それらではラスタオペレーションの論理演算は行なわれない。

## 〔実施例〕

以下、図面に基いて本発明に係る画像データ記憶装置の好適な実施例を説明する。

第2図では実施例の全体構成が説明されており、

描画部30ではラスタオペレーションの論理演算で使用するデータ100、マスクデータ102、論理演算の種類を指定するデータ104が従来と同様に得られ、それらはデータ書込部32に与えられる。

そしてデータ書込部32ではこれらのデータ100、102、104に基づいて対のビットデータ200-1、200-2が生成され、それらビットデータ200-1、200-2は画像メモリ部34に与えられる。

なお、描画部30およびデータ書込部32を構成する回路素子は基板36上に搭載されており、画像メモリ34を構成する回路素子は別の基板38上に搭載されている。

また、データ100、102、104は32ビット幅、32ビット幅、4ビット幅のデータバスを各々介して描画部30からデータ書込部32に与えられており、ビットデータ200-1、200-2は32ビット幅のデータバスを各々介してデータ書込部32から画像メモリ部34に与えら

れている。

第3図ではデータ変換部32の回路構成が説明されており、データ変換部32はデータ変換回路40-1、40-2・・・40-32により構成されている。

そしてデータ100、102の各ビットデータはそれらに対応したデータ変換回路40-1、40-2・・・40-32に各々入力され、4ビットデータのデータ104は各データ変換回路40-1、40-2・・・40-32へ共通入力される。

またデータ変換回路40-1、40-2・・・40-32は同一構成とされており、それらで各々得られたビットデータ対200-1、200-2は対応のバスラインへ送出される。

第4図ではデータ変換回路40-1の構成が説明されており、データ102（画像データ更新時に“0”となり、更新しないときに“1”となる。）の対応ビットデータはノット回路42およびオア回路44に与えられる。

またデータ100の対応ビットデータはノット回路46およびアンド回路48、50に与えられ、ノット回路42の出力はアンド回路48、50、52、54に、ノット回路46の出力はアンド回路52、54に各々与えられる。

さらにアンド回路48、50、52、54にはデータ104の対応ビットデータが各々与えられ、アンド回路48、52の出力はオア回路56に、アンド回路50、54の出力はオア回路44に各々与えられる。

これらオア回路56、44でビットデータ対200-1、200-2が得られ、ビットデータ対200-1、200-2は第5図MPX24-1に与えられる。

そして第5図においてはメモリモジュール58-1、58-2・・・58-32にメモリセル200-1、200-2・・・200-32及びMPX24-1、24-2・・・24-32とが各々設けられており、メモリセル200-1、200-2・・・200-32から読み出されたビットデータの画

素データ300-1、300-2・・・300-32はMPX24-1、24-2・・・24-32に各々与えられる。

これらMPX24-1、24-2・・・24-32では画素データ300-1、300-2・・・300-32に応じてビットデータ対200-1、200-2のいずれかが各々選択され、それらの選択データ200-1または200-2はメモリセル200-1、200-2・・・200-32へ画素データ300-1、300-2・・・300-32に代えて各々書き込まれる。

これにより画素データ300-1、300-2・・・300-32の更新が行なわれる。

それらメモリセル200-1、200-2・・・200-32は同一構成とされており、第6図にはメモリセル200-1の構成が示されている。

このメモリセル200-1はDRAMのチップ600-1、600-2、600-3、600-4により構成され、各チップ600-1、600-2、600-3、600-4にはMPX24-1で選択されたデータ

200-1または200-2が共通入力される。

さらにチップ600-1、600-2、600-3、600-4には10ビットのアドレスデータと3ビットのRAM制御データとが与えられ、それらは第7図に示されたRAMコントローラ59で生成される。

本実施例は以上の構成から成り、以下、その作用を説明する。

データ書込部32では、データ変換回路400-1、400-2・・・400-32が第4図のようにゲート回路で構成されているので、描画部30からデータ100、102、104が与えられると、ビットデータ対200-1、200-2が直ちに生成される。

第8図ではこのデータ変換回路400-1、400-2・・・400-32のビットデータ対生成作用とMPX24-1、24-2・・・24-32のデータ選択作用とが説明されており、同図にはデータ104で示される16の論理演算種別と、読み出しデータ300-1、300-2・・・300-32の値dと、書込データ100の値sと、MPX選択のデータ200-1、200-2との対応関係が示されている。

例えば、各ビットが第4図において上側から"0、1、0、1"となる値5のデータ104が入力されたノーオペレーション論理演算の指定時には、書込データ値sに応じてアンド回路50または54の出力値が"1"となるので、データ200-1、200-2は常に各々"0"、"1"となる。

MPX24-1、24-2・・・24-32では読み出しデータ値dが"0"のときにデータ200-1が、"1"のときにデータ200-2が各々選択され、したがって読み出されたものと同じ値のデータ200-1または200-2がメモリセル200-1、200-2・・・200-32に書き込まれる。

このため、読み出しデータ300-1、300-2・・・300-32の更新は実質的に行なわれない。

なお、ラスタデータ102の値が“1”のときには、オア回路44の出力値が“1”となるので、同様にして読み出しデータ300-1, 300-2・・・300-32の更新が行なわれることはない。

また、各ビットが第4図において上側から“0, 0, 0, 0”となる値0のデータ104が入力されたゼロクリア論理演算の指定時には、書込データ値sにかかわらずアンド回路48, 50, 52, 54の出力値が全て“0”となるので、データ200-1, 200-2は常に各々“0”, “0”となる。

MPX24-1, 24-2・・・24-32では読み出しデータ値dが“0”のときにデータ200-1が、“1”のときにデータ200-2が各々選択されるので、読み出しデータ300-1, 300-2・・・300-32の値にかかわらず、値が“0”のデータ200-または200-2がメモリセル20-1, 20-2・・・20-32に書込まれる。

リセル20-1, 20-2・・・20-32に書込まれる。

すなわち、論理演算が式s・dで示されるアンド書きの論理演算が選択された場合、その論理演算が実際には行なわれていないにもかかわらず、この論理演算結果と一致したデータ更新が行なわれる。

このことは他の論理演算が指定されたときも同様である。

したがって画像メモリ部34では、従来における論理演算が行なわれないにもかかわらず、その論理演算結果と一致した画素データ更新がビットデータ200-1, 200-2の選択により行なわれる。

このため、画像メモリ部34へ論理演算を指定するデータが送出されるバスを設けることが不要となる。

その結果、基板36, 38のピン数増加を抑制でき、あるいはその数が制約された場合でも、必要な回路素子を搭載できる。

このため、そのときにおけるデータ300-1, 300-2・・・300-32はゼロクリアされる。

そして、各ビットが第4図において上側から“0, 0, 0, 1”となる値1のデータ104が入力されたアンド書き論理演算(式s・dで示される。)の指定時には、書込データ100の値sが“1”の場合にデータ200-2の値のみが“1”となる。

MPX24-1, 24-2・・・24-32では読み出しデータ値dが“0”のときにデータ200-1が、“1”のときにデータ200-2が各々選択されるので、書込データ100の値sが“0”の場合と書込データ100の値sが“1”の場合で読み出しデータ値dが“0”のときには、値が“0”のデータ200-1, 200-2がメモリセル20-1, 20-2・・・20-32に書込まれ、書込データ100の値sが“1”の場合で読み出しデータ値dが“1”のときにのみ、値が“1”となっているデータ200-2がメモ

これにより、製造コストの低減が可能となり、製造の容易化を図ることが可能となる。

また画像メモリ部34では論理演算が行なわれず、さらにデータ書込部32がゲート素子で構成されるので、ラスタオペレーションの高速動作が可能となる。

その結果、マルチウィンドウの使用上において、より快適な操作環境を提供できる。

#### [発明の効果]

以上説明したように本発明によれば、ラスタオペレーションの論理演算が行なわれないので、論理演算を行なう回路とその論理演算の種別を指定するための信号線が不要となり、したがって高速動作できる装置を安価に構成することが可能となる。

#### 4. 図面の簡単な説明

第1図は発明の原理説明図、

第2図は実施例の全体構成説明図、

第3図はデータ変換部の回路構成説明図、  
 第4図はデータ変換回路の構成説明図、  
 第5図は画像メモリ部の回路構成説明図、  
 第6図はメモリセルの回路構成説明図、  
 第7図は画像メモリ部の具体的な回路構成説明図、  
 第8図は実施例のラストオペレーション作用説明図、  
 第9図は従来技術を説明する回路構成図である。

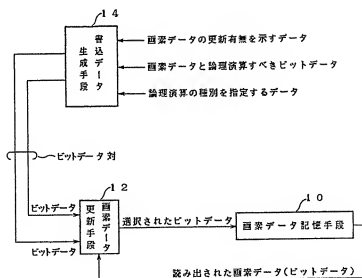
…データ変換回路、  
 58-1, 58-2・・・58-32  
 …メモリモジュール。

代理人弁理士

井 桁 貞 一

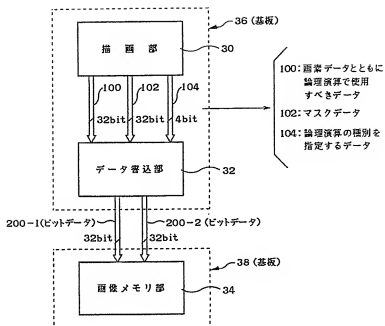


20-1, 20-2・・・20-32  
 …メモリセル、  
 24-1, 24-2・・・24-32  
 …MPX、  
 30…描画部、  
 32…データ書込部、  
 34…画像メモリ部、  
 36, 38…基板、  
 40-1, 40-2・・・40-32



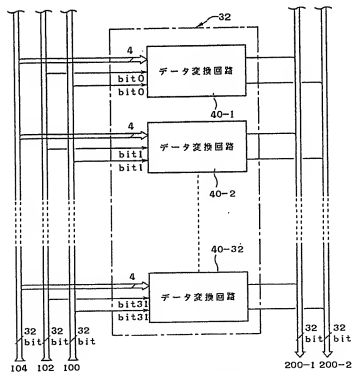
発明の原理説明図

# 第 1 図



実施例の全体構成説明図

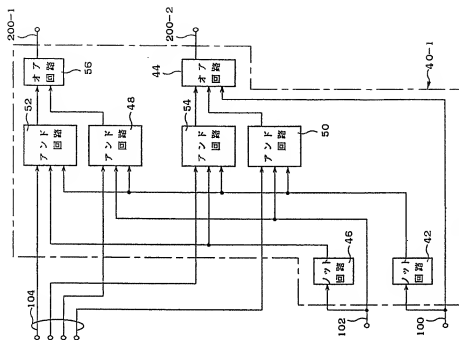
## 第 2 図



データ交換部の回路構成説明図

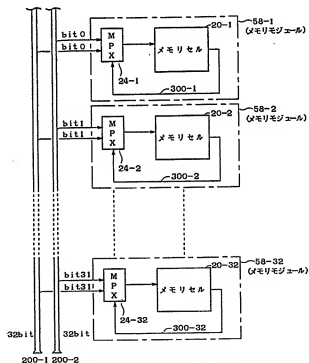
## 第 3 図





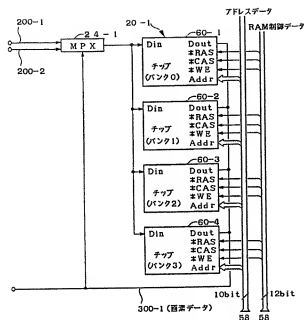
データ変換回路の構成説明図

第 4 図



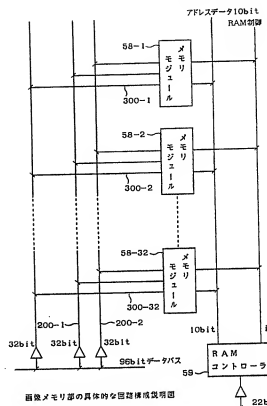
画像メモリ部の回路構成説明図

第 5 図



メモリセルの回路構成説明図

第 6 図



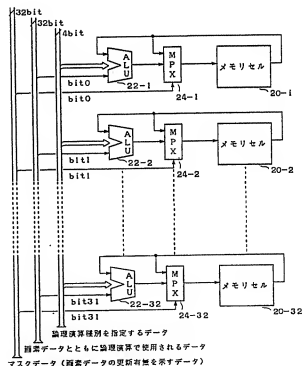
画機メモリ部の具体的な回路構成説明図

第 7 図

| 演算種別 | 寄込データ 0 |   | 寄込データ 1 |   | 内 容      |
|------|---------|---|---------|---|----------|
|      | 0       | 1 | 0       | 1 |          |
| 0    | 0       | 0 | 0       | 0 | ゼロクリア    |
| 1    | 0       | 0 | 0       | 1 | AND書き    |
| 2    | 0       | 0 | 1       | 0 | AND書き    |
| 3    | 0       | 0 | 1       | 1 | 通常書き     |
| 4    | 0       | 1 | 0       | 0 | ゼロクリア    |
| 5    | 0       | 1 | 0       | 1 | ノオパレーション |
| 6    | 0       | 1 | 1       | 0 | ゼロ書き     |
| 7    | 0       | 1 | 1       | 1 | OR書き     |
| 8    | 1       | 0 | 0       | 0 | ゼロクリア    |
| 9    | 1       | 0 | 0       | 1 | AND書き    |
| A    | 1       | 0 | 1       | 0 | 反転       |
| B    | 1       | 0 | 1       | 1 | AND書き    |
| C    | 1       | 1 | 0       | 0 | 反転書き     |
| D    | 1       | 1 | 0       | 1 | AND書き    |
| E    | 1       | 1 | 1       | 0 | OR書き     |
| F    | 1       | 1 | 1       | 1 | 1書き      |

演算例のラスタオペレーション作用説明図

第 8 図



従来技術を示す回路構成図

第 9 図